

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268183

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 27/12

H01L 21/52

H01L 27/14

(21)Application number : 05-053514

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.03.1993

(72)Inventor : WATANABE SHUJI

DAIKU HIROSHI

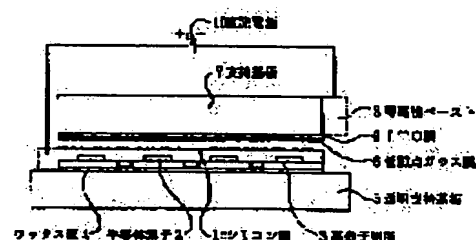
ITO YUICHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To provide a manufacturing method of a semiconductor device wherein a thinned substrate can be adhered to an insulating supporting substrate firmly without generating bubbles, etc., in an insulating supporting substrate regarding a manufacturing method of a semiconductor device wherein the thinned substrate is transcribed to another supporting substrate by forming a semiconductor device.

**CONSTITUTION:** After a semiconductor element 2 is formed in a surface of a silicon layer 1c of an SOI substrate, high polymer resin 3 is buried and flattened in a formation region of the semiconductor element 2 and the high polymer resin 3 and a transparent supporting substrate 5 are adhered. In a manufacturing process of a rear injection type infrared ray detection element wherein the insulator side of the SOT substrate at an opposite side of the formation region of the semiconductor element 2 is polished and the silicon layer 1c is thinned, the thinned silicon layer 1c is adhered to a supporting substrate 7 which has insulation property and transmits infrared ray at a normal temperature while applying a dc voltage through a low melting point glass film 6. The transparent supporting substrate 5 is peeled off from the high polymer resin 3 and the high polymer resin 3 is removed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese      Laid-Open      Patent      Publication      No.  
6-268183/1994 (Tokukaihei 6-268183)      (Published      on  
September 22, 1994)

(A) Relevance to claims

The following is a translation of a passage related to claims 6-11 of the present invention.

(B) Translation of the relevant passage

[Claims]

[Claim 1]

A method of manufacturing a semiconductor device, which includes a process of manufacturing a back-side-incident infrared detecting element, arranged in such a manner that, after a semiconductor element (2) is formed on a surface of a silicon layer (1c) of a SOI substrate (1) in which the silicon layer(1c) is provided on a silicon substrate or an insulating body (1a), a resin (3) is buried in an area where the semiconductor element (2) is formed so that the area is planarized, the resin (3) is bonded with a transparent supporting substrate (5), and then either (i) a side of the silicon substrate, the side facing the area or (ii) a side of the SOI substrate, the side

being on the side of the insulating body (1) is polished so that the silicon layer (1c) is caused to be thin, the method being characterized by comprising the steps of:

via a low-melting glass film (6), bonding the silicon substrate or the silicon layer (1c), which has been thinned, with a supporting substrate (7) which is insulating and permeates infra red light, by applying a DC voltage at normal temperatures: and

stripping the transparent supporting substrate (5) from the resin (3) in which the semiconductor element (2) is buried, in order to remove the resin (3).

(19)日本国特許法 (IP)

(11)特許出願公開番号

特開平6-268183

(43)公開日 平成6年(1994)9月22日

| (51)Int.Cl. <sup>1</sup> | 識別記号                  | 行内整理番号  | F I          | 技術表示箇所                           |
|--------------------------|-----------------------|---------|--------------|----------------------------------|
| H 01 L 27/12             | B                     |         |              |                                  |
| 21/52                    | C                     | 7376-4M |              |                                  |
| 27/14                    |                       | 7210-4M | H 01 L 27/14 | K                                |
|                          |                       |         | 審査請求         | 未請求 請求項の数 1 O L (全 5 頁)          |
| (21)出願番号                 | 特願平5-53514            |         | (71)出願人      | 00005223<br>富士通株式会社              |
| (22)出願日                  | 平成 5 年(1993) 3 月 15 日 |         | (72)発明者      | 神奈川県川崎市中原区上小田中1015番地<br>渡辺 修治    |
|                          |                       |         |              | 神奈川県川崎市中原区上小田中1015番地<br>富士通株式会社内 |
|                          |                       |         | (72)発明者      | 大工 博                             |
|                          |                       |         |              | 神奈川県川崎市中原区上小田中1015番地             |
|                          |                       |         |              | 富士通株式会社内                         |
|                          |                       |         | (72)発明者      | 伊藤 雄一郎                           |
|                          |                       |         |              | 神奈川県川崎市中原区上小田中1015番地             |
|                          |                       |         |              | 富士通株式会社内                         |
|                          |                       |         | (74)代理人      | 井野士 井桁 貞一                        |

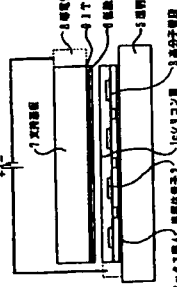
## (54)【発明の名称】半導体装置の製造方法

(57)【聖約】

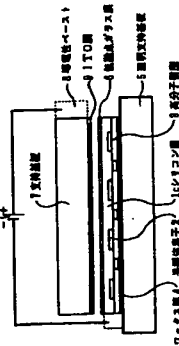
【目的】 半導体装置を形成して薄層化した基板を他の支持基板上に転写する半導体装置の製造方法に關し、この薄層化した基板を絶縁性の支持基板上に気泡などを発生させないで、強固に接着できる半導体装置の製造方法の提供を目的とする。

【解説】 SOI基板のシリコン層<sup>①</sup>の表面に半導体素子2を形成した後、この半導体素子2形成領域に高分子樹脂3を埋設して平坦化し、この高分子樹脂3と透明導体基板5とを接合して、この半導体素子2形成領域と対向する側のこのSOI基板のこの絶縁体素子層を研削してシリコン層<sup>②</sup>を露出する表面に対しての赤外線検知素子の製造工程において、薄層化したこのシリコン層<sup>②</sup>を、絶縁性を有し且つ赤外線を透過する支持基板7に、低融点ガラス膜6を介して、直流電圧印加しながら、常温において接合する工程とし、この高分子樹脂3からこの透明導体基板5を剥離し、この高分子樹脂3を除去する工程とを含むように構成する。

図表表の第一の欄は年次別（リ）



7) 買取金と什貨の値の間の差を算



## 【特許請求の範囲】

【請求事項１】 シリコン基板、或いは絶縁体(1a)上にシリコン層(1c)を設けたSOI基板(1)の前期シリコン層(1)の表面に半導体要素(2)を形成した後、該半導体要素(2)の裏面に半導体要素(2)を形成して、該半導体要素(2)の裏面と半導体要素(2)を埋設して該半導体要素(2)形成領域を平坦化し、該半導体要素(2)形成領域を埋設した絶縁体を形成して、該半導体要素(2)と透明支持基板(6)ととを接着して平坦化した前期樹脂層(3)と透明支持基板(6)ととを接着し、前期半導体要素(2)形成領域と対向する側の前期シリコニック基板、或いは前記SOI基板(1)の前期絶縁体(1)側(1')側を研磨してシリコン層(1c)を薄層化する裏面入射型の赤外線放射素子の製造工程において、

(1)を、絶縁性有且つ赤外線を透過する支持基板(7)とし、低抵抗ポイント接触(8)を介して、直流電圧を印加しながら、常態において接合する工程と、

前期半導体要素(2)を埋設した前期樹脂層(3)から前期透明支持基板(6)を剥離し、埋設した前期樹脂層(3)を除去する工程と、

を含むプロセスを絶縁体の製造方法。

【發明の詳細な説明】

【0001】  
**【産業上の利用分野】**本発明は半導体撮像素子や、ポリシリコン等で歯車等の微小機械部品を形成したマイクロマシン等に係り、特に半導体装置を形成して薄層化した基板を他の支持基板に転写する半導体装置の製造方法に関するものである。

[0002]

【従来の技術】従来のシリコン等の半導体基板にCMOS型の半導体素子と形成した赤外線検知素子とを製造する場合、このシリコン基板表面にはシリコン酸化膜や、電極や配線層等が形成されており、このシリコン基板の半導体素子とを形成した面から赤外線を入力するのと、上記の配線層や電極で赤外線が遮蔽されて半導体素子と形成領域に入射しないので、高感度の赤外線検知素子とを製造するには、シリコン基板の半導体素子とを形成した面側より赤外線を入力する裏面入射型の赤外線検知素子が製造されている。

【0003】しかし、シリコン基板の厚が薄い場合には、裏面側より入射した赤外線がシリコン基板に吸収され易いので、シリコン基板の厚は $10\mu\text{m}$ 以下に薄くしなければならぬが、このようにシリコン基板を $10\mu\text{m}$ 以下の薄板にすると、割れやすくなり取扱が困難であるという問題が生じている。

【0004】このため従来は、図5に示すように半導体素子32を形成した基板31を、赤外線を透過するサファイア等からなる絶縁性の支持基板37にエッチング処理を施して接合部36を露出させている。

【0005】  
【発明が解決しようとする課題】 以上説明した従来の半導体装置の製造方法においては、上記のように接着剤を

用いて半導体基板は赤外線を透過するサファイア等からなる絶縁性の支持基板上に接着してはいるが、接着剤を均一に薄く引き伸ばして接着することは技術的に非常に困難であり、また接着剤を支持基板上に接着して製造した赤外線撮像素子を、動作温度の液体窒素の温度から動作させている場合には室内の温度に露すと、気室内の空気が温度差によって膨張し、接着剤にひび割れが発生するという問題点があった。

【0006】本発明は以上のような状況から、半導体基板上に形成して薄層化した半導体基板を絶縁性の支持基板に接合する際に、気泡などを発生させないで、強固に接合することが可能となる半導体装置の製造方法の提供を目的としたものである。

【0007】

【開閉を速決するための手段】本発明の半導体装置の製造方法は、シリコン基板、或いは絶縁体上にシリコン層を設けたSOI基板のこの半導体素子形成領域に樹脂を埋設してこの半導体素子形成領域を平坦化した、この半導体素子形成領域を埋設して平坦化したこの樹脂と透明支持基板とを接合し、この半導体素子形成領域と向合う側のこのシリコン基板、或いはこのSOI基板の前面に銅製の赤外線照射素子の製造工程において、薄層化したシリコン層、絶縁性を有し且つ赤シリコン基板、或いは前記シリコン層を、絶縁性を有する工程、外縁を通過する支持基板に、低融点ガラス膜を介して、直流電圧を印加しながら、常温において接合する工程と、この半導体素子形成領域を埋設したこの樹脂からこの透明支持基板とを分離し、埋設したこの樹脂を除去する工程とを、含むように構成する。

[0008]

【作用】即ち本発明においては、半導体層の一方の面に半導体素子層を形成した後、薄層化した半導体層と、この半導体層と同様な動態係数を有し、赤外線を透過して絶縁性を有する支持基板とを常温環境下において一体的に接合することを可能となり、半導体装置を動作温度の液体窒素温度の77°Kから半導体装置の周囲に曝す場合においても、この半導体層が支持基板から剥離するのを防止することが可能となる。

【0009】この常温融接合は文献 (Sensors and Actuators, A21-423 (1990) 931-934) の "Low-temperature Silicon-to-silicon Anodic Bonding with Intermediate LowMelting Point Glass by MASAYOSHI ESASHI, AKIRA NAKANO, SHUICHI SHIOI and HIROYUKI HEBIGUCHI" において開示されている。

【0010】この文獻によれば、この方法は図4に示すように一方のシリコンウエーハ11にガラス層16をスパッタ法で被着し、他方の被着すべきシリコンウエーハ21と

(3)

3  
ツタしたシリコンウェハ11)に負の直流電圧が印加されるように電圧を印加すると、印加された直流電圧の電界によってスパッタされていくガラス層16の一部分に負のイオンが集合して分極領域16aが形成され、正の電圧が印加されている他方のシリコンウェハ21)にこの分極領域加されたイオンが引きつけられてシリコンウェハ同士が接合される方法である。

【0011】本発明においては、この原理を利用し、図1(a)に示すように電圧が印加されるように、支持基板7側が導体になるように支持基板7の表面に導電性で透明なインジウム・錫・酸化物(ITO)の膜を被覆し、このITO膜9の表面に低融点ガラス(PbO-ZnO-B<sub>2</sub>O<sub>3</sub>)からなる低融点ガラス膜6を被覆する。

【0012】そして支持基板7およびシリコン層1cのそれぞれに導電性ペースト8を塗布し、低融点ガラス膜6を被覆した支持基板7側に負の直流電圧が印加されるように電圧を印加して低融点ガラス膜6とシリコン層1cとを圧着すると、支持基板7とシリコン層1cとを接合することが可能である。

【0013】また図1(b)に示すようにシリコン層1cの表面に低融点ガラス膜6を形成した場合には、直流電圧を印加した後に、図1(a)に示すようにシリコン層1cの側面と支持基板7の側面に導電性ペースト8を被覆させて形成する。

【0014】この接合に用いる低融点ガラス(PbO-ZnO-B<sub>2</sub>O<sub>3</sub>)膜の厚さは、樹脂層で接合する場合には実現可能な1μm以下の厚さの層で接合することが可能であり、樹脂で接合した場合のように気泡が残らないので、半導体装置を動作温度の液体窒素温度の77°Kから室温の非動作温度に導いても剥離することはない。

【0015】  
【実施例】以下図1～図3により本発明のシリコン板上にシリコン層を形成したSOI基板を用いる一実施例について詳細に説明する。

す、図2は本発明による一実施例の半導体装置の製造方法を工程順に示す側断面図(1)、図3は本発明による一実施例の半導体装置の製造方法を工程順に示す側断面図(2)である。

【0017】まず図2(a)に示すように、厚さ400μmのシリコン板1a上に厚さ1μmのシリコン酸化膜1bと厚さ5～15μmのシリコン層1cを形成したSOI基板1の、シリコン層1c側にCMOSプロセスで半導体素子2を形成した後、この形成した半導体素子2の形成領域の全面にポリイミド樹脂(B日立化成社製、商品名：PIQ)からなる高分子樹脂3を塗布してこの半導体素子2の形成領域を平坦にする。

【0018】つぎに、図2(b)に示すように、この半導体素子2の形成領域を被覆している高分子樹脂3の平坦

4  
な表面と、石英からなる透明支持基板5とを加熱し溶融したワックスを用いて接合する。ここで透明支持基板5を用いるのは、ワックス膜4の気泡を見つて除去し、接合を確実にするためである。

【0019】ついで図2(c)に示すように、半導体素子2を形成した側の反対側のSOI基板1のシリコン板1aを約360μm研磨してシリコン酸化膜1bに到達する直前で研磨を停止し、SOI基板1のシリコン酸化膜1bと界面に到達するまで苛性カリからなるエッチング液を用いるエッチングか、或いはドライエッチングにより残りのシリコン板1aを除去し、弗化アンモン(NH<sub>4</sub>F)と弗酸(HF)とからなるパフアード弗酸を用いてシリコン酸化膜1bを除去する。

【0020】ついで図3(a)に示すように、この半導体素子2を形成したシリコン層1cと熱膨張率が合致した、サファイヤからなる支持基板7に導電性を付与させるために、インジウム・錫・酸化物(以下、ITOと略称する。)からなる厚さ0.3μmのITO層9をスパッタ法により形成し、このITO層9の表面に厚さ0.5μmの低融点ガラス(PbO-ZnO-B<sub>2</sub>O<sub>3</sub>)膜6をスパッタ法により形成した後、図1(a)に示すようにシリコン層1cの側面と支持基板7の側面に導電性ペースト8を被覆させて形成する。

【0021】前記の低融点ガラス(PbO-ZnO-B<sub>2</sub>O<sub>3</sub>)膜6を被覆した支持基板7に負の直流電圧が印加されるように電圧を印加し、シリコン層1cに正の直流電圧が印加されるように電圧を印加した状態で直流電圧10Vにより数10Vの直流電圧を印加すると、支持基板7の表面のITO層9とシリコン層1cとを低融点ガラス膜6を介して強く固に接合することが可能となる。この際、基板上に接合させて加圧すると、印加電圧を低くすることが可能となる。

【0022】その後、煮沸した純水中に浸漬してワックス膜4を軟化させ、図3(b)に示すように溶融化したシリコン層1cから透明支持基板5を剥離し、図3(c)に示すようにキシレン等の有機溶剤を用いて残っているワックス膜4を除去し、PIQエッチャント液を用いて高分子樹脂3を除去して半導体装置の製造が完了する。

【0023】本実施例では、図3(a)の支持基板7の接合工程において低融点ガラス膜6を支持基板7の表面に形成したITO層9の表面に形成したが、支持基板7にはITO層9のみを被覆し、シリコン層1cの表面に低融点ガラス膜6を形成する方法も可能であり、この場合には図1(b)に示すように図1(a)とは逆に、直流電圧10Vの負の電圧をシリコン層1cの側面に形成した導電性ペースト8に印加しなければならぬ。

【0024】  
【発明の効果】以上の説明から明らかなように、本発明の常温接合法を用いると、半導体素子を形成して薄層化したシリコン層を支持基板に接合する際に接合層に

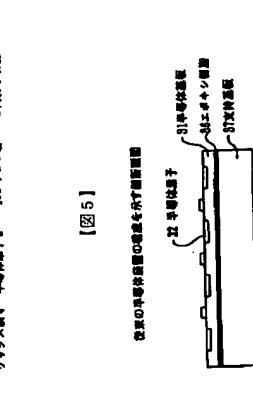
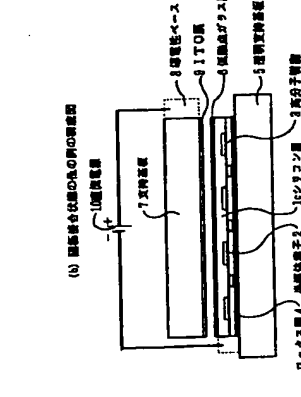
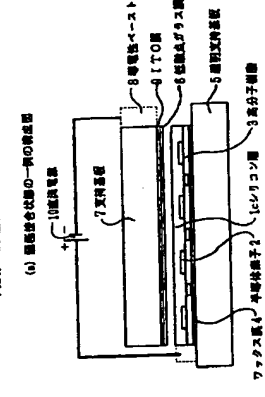
5  
気泡を混入させず、且つ接合強度を高めた状態で接合することが可能となり、この薄層化したシリコン基板に形成した半導体素子を動作温度の低温から、非動作温度の室温に導いた場合においても、支持基板から薄層化したシリコン基板が剥離しない等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体装置の製造方法の提供が可能である。

【面の簡単な説明】

【図1】 本発明の常温接合法の実施例を示す図  
【図2】 本発明による一実施例の半導体装置の製造方法を工程順に示す側断面図(1)  
【図3】 本発明による一実施例の半導体装置の製造方法を工程順に示す側断面図(2)  
【図4】 常温接合法を説明する図

【図1】

本発明の常温接合法の実施例を示す図

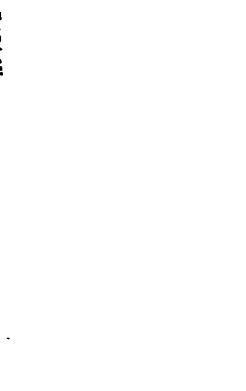
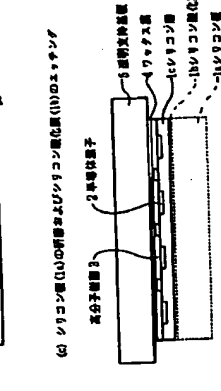
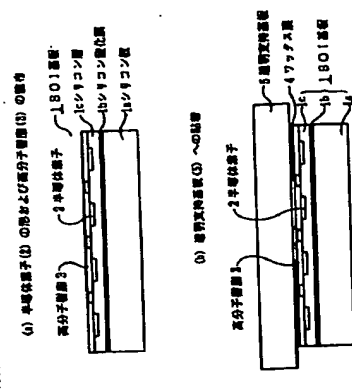


6  
【図5】 従来の半導体装置の構成を示す側断面図  
【符号の説明】

- 1 SOI基板
- 1a シリコン板
- 1b シリコン酸化膜
- 1c シリコン層
- 2 半導体素子
- 3 高分子樹脂
- 4 ワックス膜
- 5 透明支持基板
- 6 低融点ガラス膜
- 7 支持基板
- 8 導電性ペースト
- 9 ITO膜

【図2】

本発明による一実施例の半導体装置の製造方法を工程順に示す側断面図(1)

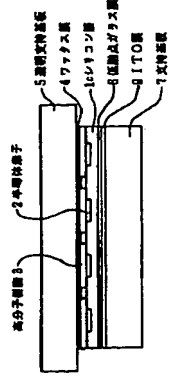


(5)

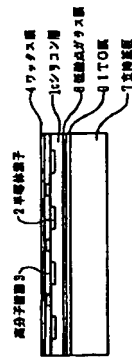
【図3】

本発明による一実施例の半導体装置の製造方法を工程順に示す図面図(3)

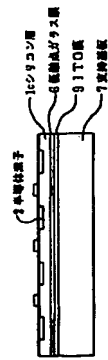
(a) 支持基板(1)の検査



(b) 導電性支持基板(1)の形成



(c) ワラス膜(4)及び高分子層(3)の除去



【図4】

半導体装置を形成する際

